

DIALOG(R)File 347:JAPIO

(c) 2002 JPO & JAPIO. All rts. reserv.

02697962      \*\*Image available\*\*

MANUFACTURE OF THIN-FILM TRANSISTOR

PUB. NO.:      63-314862 [JP 63314862 A]

PUBLISHED:      December 22, 1988 (19881222)

INVENTOR(s):      SUKEGAWA OSAMU

APPLICANT(s):      NEC CORP [000423] (A Japanese Company or Corporation), JP  
(Japan)

APPL. NO.:      62-151792 [JP 87151792]

FILED:      June 17, 1987 (19870617)

INTL CLASS:      [4] H01L-027/12; H01L-029/78

JAPIO CLASS:      42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD:      R002 (LASERS); R096 (ELECTRONIC MATERIALS -- Glass  
Conductors); R097 (ELECTRONIC MATERIALS -- Metal Oxide  
Semiconductors, MOS)

JOURNAL:      Section: E, Section No. 744, Vol. 13, No. 160, Pg. 146, April  
18, 1989 (19890418)

#### ABSTRACT

**PURPOSE:** To enable a semiconductor interface to be annealed optically, by forming a gate electrode of a transparent conductor on a transparent insulating material, and then applying light for heat treating the semiconductor layer.

**CONSTITUTION:** A gate electrode 2 of a transparent conductor is formed on a glass substrate 1. Subsequently, a silicon nitride film 3 for providing a gate insulating film and an amorphous silicon film 4 are formed thereon. The amorphous silicon film 4 is etched so as to be left only on an element forming region and then a drain electrode 5 and a source electrode 6 are formed of aluminum. Double harmonics beam 7 is applied by a Q-switched YAG laser to the substrate 1 of the thin-film transistor. The incident laser beam passes through the substrate 1, electrode 2 and film 3 and absorbed by the interface between the films 4 and 3. Accordingly, annealing can be performed very efficiently.

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭63-314862

⑪ Int.Cl.<sup>4</sup>

識別記号

庁内整理番号

⑬ 公開 昭和63年(1988)12月22日

H 01 L 27/12  
29/78

3 1 1

A-7514-5F  
Y-7925-5F

審査請求 未請求 発明の数 1 (全3頁)

⑭ 発明の名称 薄膜トランジスタの製造方法

⑮ 特 願 昭62-151792

⑯ 出 願 昭62(1987)6月17日

⑰ 発 明 者 助 川 統 東京都港区芝5丁目33番1号 日本電気株式会社内  
 ⑱ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号  
 ⑲ 代 理 人 弁理士 内 原 晋

## 明 細 書

## 1. 発明の名称

薄膜トランジスタの製造方法

## 2. 特許請求の範囲

1. 透明絶縁物上に形成された逆スタガード構造薄膜トランジスタの製造方法において、前記透明絶縁物上にゲート電極を透明導電体で形成し、その上に半導体層形成した後、前記透明絶縁物側からの光照射により前記半導体層の熱処理を行なうことを特徴とする薄膜トランジスタの製造方法。

2. 前記照射される光がYAGレーザーの第2高調波であることを特徴とする特許請求の範囲第1項記載の薄膜トランジスタの製造方法。

## 3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は薄膜トランジスタの製造方法に関し、

特に逆スタガード構造薄膜トランジスタの光アニーリングに関する。

〔従来の技術〕

アモルファスシリコン、多結晶シリコン等を用いた薄膜トランジスタにおいて、光特に強力なレーザー光を用いて半導体膜をアニールし、膜質を改善できることは当業者の間では周知の事実である。アニールに用いられる光の波長は半導体膜に効率よく吸収されるという条件から、波長800nm以下の可視・紫外領域のものが用いられる。

従来の薄膜トランジスタにおいて、ゲート電極は、金属・低抵抗ポリシリコン等で形成され、これらの材料は可視・紫外領域の光に対し不透明であるため、アニーリングはゲート電極の形成前に行なわれる。

〔発明が解決しようとする問題点〕

上述した従来の薄膜トランジスタアニーリングプロセスはゲート電極の形成前に行なう必要がある。薄膜トランジスタの構造にはいくつかのタイプがあるが、トランジスタ特性およびその信頼性

## 特開昭63-314862(2)

の点で最っとも秀れているものは、逆スタガード構造と呼ばれる第1図に示されるものである。このタイプではまずゲート電極2が形成され、次にゲート絶縁膜3、半導体膜4が形成されるため、半導体膜4のうちトランジスタ特性を支配するゲート絶縁膜3との界面はゲート電極2によって遮光された状態になっており、半導体界面の光によるアニーリングは行なうことができない。

## 〔問題点を解決するための手段〕

本発明の薄膜トランジスタは、透明導電膜によるゲート電極を有しており、ゲート形成後の光アニーリング処理を行なうプロセスを経て形成される。

## 〔作用〕

本発明によれば、透明導電膜によるゲート電極は、可視光を透過させるため、ゲート電極側からの光照射によるアニーリングを行なうことができ逆スタガード構造薄膜トランジスタの光アニーリングが可能となる。

## 〔実施例〕

板側からQスイッチYAGレーザーの2倍波7を照射する。レーザー光はガラス基板1、ゲート電極2、酸化シリコン膜3を通過し、アモルファスシリコン膜4の酸化シリコン膜3界面部分に吸収され、効率的なアニーリングが行なえる。

第3図は本発明の他の実施例によるアニーリング工程の断面図である。ガラス基板1にITOによる透明ゲート電極2が形成され、酸化シリコン膜3、アモルファスシリコン4を成膜した直後にQスイッチYAGレーザーの第2高調波7を照射する。この実施例では、アモルファスシリコン膜4が全面についているため、アニールが均一に行なえる利点がある。

## 〔発明の効果〕

以上説明したように、本発明はガラス基板上に透明導電膜をゲート電極として逆スタガード型アモルファスシリコン薄膜トランジスタを形成しガラス基板側から可視光による光アニーリング処理を行なう事によりアモルファスシリコン膜の膜質を改善し、トランジスタ特性を良好なものとするこ

次に本発明について図面を参照して説明する。

第1図は本発明の一実施例により得られる薄膜トランジスタの断面図である。図示される薄膜トランジスタは以下の工程によって作製される。ガラス基板1上に透明導電膜によりゲート電極2が形成され、続いてゲート絶縁膜となる酸化シリコン膜3、アモルファスシリコン膜4が形成され、素子部のみアモルファスシリコン4を残すエッチング加工を行なった後、ドレイン5及びソース電極6がアルミニウムによって形成される。第2図はガラス基板—透明導電膜—酸化シリコン膜積層物およびアモルファスシリコンの吸収率の波長依存性を示したものであり、波長400~700nm程度の光に対しては、前者3層積層物は透明でありアモルファスシリコンは吸収係数が高い。この成長帯の強力な光源としては、QスイッチYAGレーザーの2倍波（波長532nmである第2高調波）がある。

第1図に示した薄膜トランジスタのアニールは次の様に行なえる。薄膜トランジスタのガラス基

とができる効果がある。

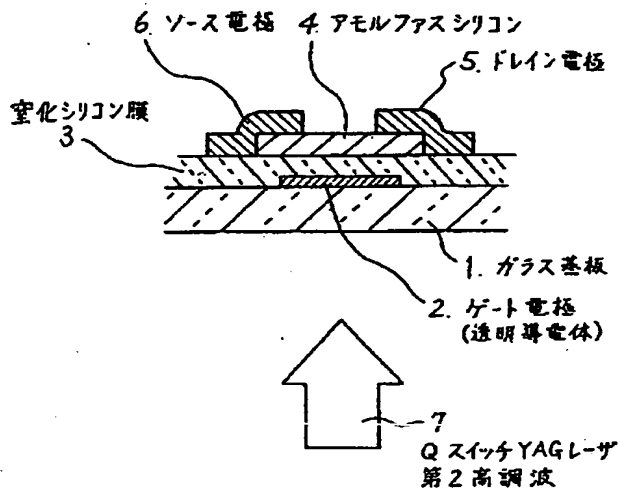
## 4. 図面の簡単な説明

第1図は本発明の一実施例により得られる薄膜トランジスタの断面図、第2図はガラス基板/透明導電膜/酸化シリコン膜3層膜及びアモルファスシリコンの吸収率の波長依存性を示すグラフ、第3図は本発明の他の実施例のアニーリング工程を示す断面図である。

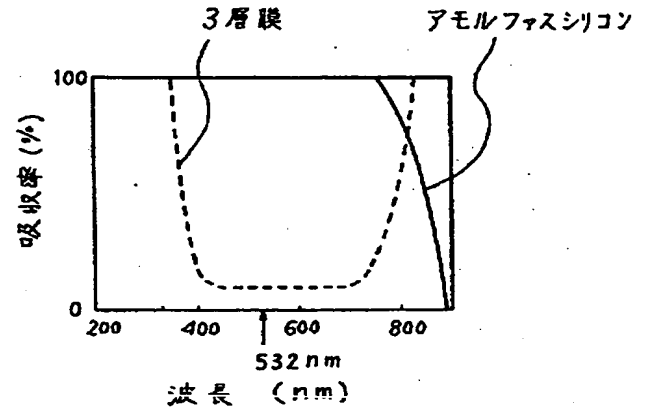
1……ガラス基板、2……透明導電膜によるゲート電極、3……酸化シリコン膜、4……アモルファスシリコン膜、5……ドレイン電極、6……ソース電極、7……QスイッチYAGレーザーの第2高調波。

代理人 弁理士 内 原 晋

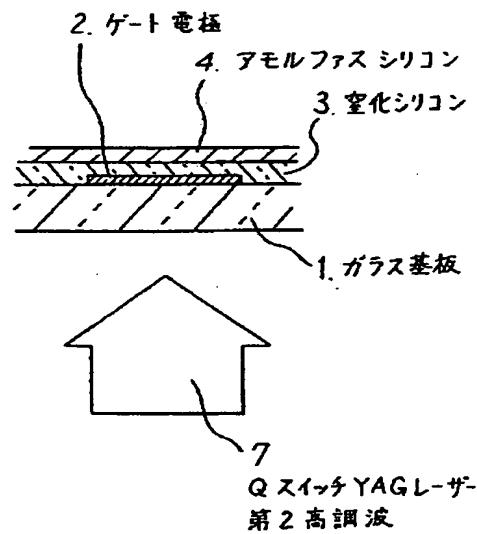




第1図



第2図



第3図

**Family list**

**3** family member for:

**JP61116873**

Derived from 1 application.

**1 SEMICONDUCTOR DEVICE**

Publication info: **JP1936256C** C - 1995-05-26

**JP6044573B** B - 1994-06-08

**JP61116873** A - 1986-06-04

---

Data supplied from the *esp@cenet* database - Worldwide

SAVED 11/12/2004

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat  
(c) 2004 EPO. All rts. reserv.

12073269

Basic Patent (No,Kind,Date): JP 61116873 A2 19860604 <No. of Patents: 002

>

**SEMICONDUCTOR DEVICE (English)**

Patent Assignee: YAMAZAKI SHUNPEI

Author (Inventor): YAMAZAKI SHUNPEI

IPC: \*H01L-029/78; H01L-027/08; H01L-027/12

Derwent WPI Acc No: \*C 86-185218;

Language of Document: Japanese

**Patent Family:**

Patent No	Kind	Date	Applic No	Kind	Date
JP 61116873	A2	19860604	JP 85209746	A	19850920 (BASIC)
JP 94044573	B4	19940608	JP 85209746	A	19850920

**Priority Data (No,Kind,Date):**

JP 85209746 A 19850920

DIALOG(R)File 347:JAPIO  
(c) 2004 JPO & JAPIO. All rts. reserv.

01902773     \*\*Image available\*\*  
SEMICONDUCTOR DEVICE

PUB. NO.:     61-116873 [JP 61116873 A]  
PUBLISHED:     June 04, 1986 (19860604)  
INVENTOR(s):   YAMAZAKI SHUNPEI  
APPLICANT(s): YAMAZAKI SHUNPEI [000000] (An Individual), JP (Japan)  
APPL. NO.:     60-209746 [JP 85209746]  
FILED:         September 20, 1985 (19850920)  
INTL CLASS:    [4] H01L-029/78; H01L-027/08; H01L-027/12  
JAPIO CLASS:   42.2 (ELECTRONICS -- Solid State Components)  
JAPIO KEYWORD: R095 (ELECTRONIC MATERIALS -- Semiconductor Mixed Crystals);  
                 R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors,  
                 MOS)  
JOURNAL:       Section: E, Section No. 445, Vol. 10, No. 302, Pg. 89,  
                 October 15, 1986 (19861015)

#### ABSTRACT

PURPOSE: To enable to use the source, channel region and drain of an MISFET by adding H or halogenide to nonsingle crystal semiconductor.

CONSTITUTION: A silicon oxide or silicon nitride thin film 2 is formed on an Si substrate 1, and ion implanted. Further, an Si film is formed thereon. Then, a field insulating film 3, a gate insulating film 12 and a contact 7, as required are formed, and a gate electrode 11 is formed. Subsequently, an overcoating 10 made of SiO(sub 2) is formed, and an electrode lead 8 is formed. A source drain 6 is formed of an N(sup +) type impurity when a channel forming region 4 is P type. The recombination center for giving structural sensitivity to carrier is neutralized and erased by adding H or He. In the above structure, the lifetime of the carrier is largely improved by adding H.

?

⑤ 日本国特許庁(JP) ⑥ 特許出願公開  
 ⑦ 公開特許公報(A) 昭61-116873

⑧ Int. Cl.<sup>4</sup> 識別記号 庁内整理番号 ⑨ 公開 昭和61年(1986)6月4日  
 H 01 L 29/78 8422-5F  
 // H 01 L 27/08 6655-5F  
 27/12 102 7514-5F 審査請求 有 発明の数 1 (全6頁)

⑩ 発明の名称 半導体装置

⑪ 特 願 昭60-209746  
 ⑫ 出 願 昭53(1978)10月7日  
 ⑬ 特 願 昭53-124022の分割

⑭ 発 明 者 山 崎 舜 平 東京都世田谷区北烏山7丁目21番21号  
 ⑮ 出 願 人 山 崎 舜 平 東京都世田谷区北烏山7丁目21番21号

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

1. 水素またはハロゲン化合物が添加されたアモルファスまたは多結晶構造を有する珪素を主成分とする非単結晶半導体を絶縁ゲート型電界効果半導体装置におけるソース、チャネル領域およびドレインに用いたことを特徴とする半導体装置。

2. 特許請求の範囲第1項において、ソース、チャネル領域およびドレインは絶縁物表面上に設けられたことを特徴とする半導体装置。

3. 発明の詳細な説明

本発明は、非単結晶半導体を半導体装置の少なくとも一部に有する半導体装置に関する。

本発明は、絶縁ゲート型電界効果トランジスタ(以下、MIS-FET という)のゲート絶縁物下のチャネル領域の少なくとも一部が、アモルファスまたは多結晶のいわゆる非単結晶半導体より成り、

かつこの半導体中に水素または塩素のようなハロゲン化合物を0.1 モル% 以上混入せしめることに関する。そしてこの非単結晶領域で不対結合手と水素またはハロゲン化合物とを結合せしめて再結合中心を中和かつ消滅せしめることを特長とする。そして、電子またはホール移動度をこれまで知られている単結晶の場合に等しくまたは概略等しくさせんとする。

本発明はかかるMIS-FET、さらにキャパシタ、抵抗またはダイオードが半導体基板上、上面が絶縁物よりなる基板上、さらにまたは第1のMIS-FETが基板に設けられたその上方または上方面に第2のMIS-FETとして設けられることを目的としている。

本発明は、PまたはN型の導電型を有し、かつその不純物濃度が $2 \times 10^{17} \text{cm}^{-3}$ 以下、特に例えば $10^{16} \sim 10^{17} \text{cm}^{-3}$ における非単結晶半導体に対し、その半導体の形成と「同時」または「形成後」、特に半導体装置を完成してしまつた後、水素(重水素を含む)または塩素のようなハロゲン化合物を



## 特開昭61-116873(2)

$10^{-2}$ mmHg以上の圧力にした雰囲気中に保存し、かかる雰囲気ガスを高周波エネルギーまたはマイクロ波エネルギーにより活性化させて半導体装置中に添加させた半導体装置に関する。

従来、半導体装置は単結晶の半導体基板に対しMIS-FETまたはバイポーラ型のトランジスタ、さらにまたはそれらをキャパシタ、抵抗、ダイオード等を同一基板に積層化して集積化した装置を製造するにとどまっていた。

このため、アクティブエレメントであるMIS-FETまたはトランジスタは必ず単結晶基板に設けられていた。特にMIS-FETにおいては、ゲート以下のチャネル領域、またバイポーラ、トランジスタにおいてはベース、コレクタはキャリアのライフタイムが微妙に影響を与えるため、その領域はキャリアである電子またはホールに対する再結合中心が十分小さい濃度の単結晶半導体を用いられていた。さらにPN接合においても、逆方向耐圧においてソフト・ブレイクダウンまたはリーク増大は格子欠陥その他の格子不整、不対結合手による再結

合中心がそれらの悪化の主因であった。

本発明はこれらの根本原因である再結合中心の密度を単結晶でない非単結晶（多結晶またはアモルファス）においても十分小さくすることを可能とし、その結果初めて完成したものである。

一般に半導体装置を形成するにあたっては、種々の温度における熱処理を必要とする。例えばシリコン半導体においては900～1200℃での不純物の熱拡散、400～550℃におけるアルミニウムのコンタクトのアロイ、350～900℃における酸化珪素、窒化珪素、シリコンの気相法（減圧CVD）による被膜作製である。本発明はこれらのすべてまたは大部分の熱処理工程を経た装置として完成または大部分が完成した半導体装置に対し、水素、ヘリウム、ネオンのような不活性気体、塩素のようなハロゲン化合物を化学的に活性または原子状態で添加することを特徴とする。本発明ではかかる添加作用を総称して誘導キュリング（induction curing）ともいう。特に水素（重水素も含む）を高周波エネルギーまたはマイクロ波エネルギーにより

誘導励起し化学的活性状態にし、その雰囲気特に $10^{-2}$ mmHg以上の圧力の雰囲気中に半導体装置を5分～2時間さらすことにより、この活性状態の元素が半導体特に非単結晶半導体中の不対結合手と結合し、さらにまたは不対結合手同士を互いに共有結合せしめ電気的に中和することを特徴としている。

以下にその実施例に従って本発明を説明する。

第1図はMIS型電界効果半導体の縦断面図である。

この発明は、シリコン半導体基板(1)上に200Å～2μmの厚さの酸化珪素または窒化珪素の薄膜を形成して、これに半導体基板表面より150～300keVのイオン注入法で酸素または窒素を打ち込むことにより成就した。これを真空状態または水素雰囲気にて900～1100℃で10～30分アニールを行った。さらにその上面に室温～500℃の温度でグロー放電法により、または500～900℃の温度での減圧気相法によりシリコン膜を形成した。これはシラン( $\text{SiH}_4$ )、ジクロールシラン( $\text{SiH}_2\text{Cl}_2$ )、

その他の珪化物を反応性気体として0.1～10torr(mmHg)の圧力状態にして成就した。

もちろん室温～500℃の温度でグロー放電法またはスパッタ法を利用してよい。

こうしてこの上面に0.1～2μmの厚さのシリコン半導体膜を形成した。この膜面は絶縁層(2)が純粋の $\text{SiO}_2$ または $\text{Si}_3\text{N}_4$ にあっては多結晶であったが、この酸素または窒素の量が $10^{18} \sim 10^{21} \text{cm}^{-3}$ である場合には非単結晶を一部に含むエピタキシャル構造であった。しかし本実施例においては、実質的にエピタキシャル構造となっていた。しかし再結合中心をより少なくし、より完全結晶と同等の半導体とすることはきわめて重要である。

本発明はかかる再結合中心の密度の多い半導体膜の再結合中心を誘導電気エネルギーにより除去することを目的としている。

フィールド絶縁物(3)を1～2μmの厚さに、本発明人の発明による特許（特公昭52-20312、特公昭50-37500）に基づき実施した。その後、ゲート絶縁膜(12)を100～1000Åの厚さに作り、また必

## 特開昭61-116873(3)

要に応じてシリコン半導体のコンタクト(7)を形成し、その上にセルフライン方式によりゲイト電極(11)をCVD法により半導体膜を作った。

加えてSiO<sub>2</sub>膜のオーバーコート(10)を0.5～2μの厚さに形成した。この時この上面を平坦面とするため、SiO<sub>2</sub>膜のかわりにPIG等を用いてもよい。アルミニウムの電極の穴開け(8)、さらにアルミニウムの電極、リード(8)を形成した。ソース、ドレイン(6)はチャネル形成領域(4)がP型であって $10^{18} \sim 10^{21} \text{ cm}^{-3}$ のN<sup>+</sup>型の不純物例えばリン、砒素により形成した。ゲイト電極をモリブデン、タングステン等の金属で行ってもよい。また $10^{18} \text{ cm}^{-3}$ 以上の濃度にリン等を混入して、低抵抗の半導体リードとしてもよい。この不純物が $10^{18} \text{ cm}^{-3}$ 以上、特に $10^{21} \text{ cm}^{-3}$ と多量に混入している場合は、本発明の電気エネルギーによる中和の効果は見られなかった。他方、チャネル領域は不純物濃度が $10^{14} \sim 10^{17} \text{ cm}^{-3}$ の低濃度であり、きわめて敏感である。

電子またはホールキャリアは単結晶では一般

に構造敏感性をもつことが知られていた。しかし本発明はかかる構造敏感性が結晶構造に起因するのではなく、その中に存在する再結合中心の反応に起因するものであることを発見した。

本発明はその結果、この敏感性を与える再結合中心を中和消滅させようとしたものである。このため、本発明においては、ここに水素またはヘリウムを0.1モル%特に5～20モル%添加した。その結果、第1図(A)の構造が出来上がった後、水素の添加によりキャリアのライフタイムが $10^8 \sim 10^9$ 倍になった。C-Vダイオード特性で評価しても $0.5 \sim 10^{10} \text{ cm}^{-2}$ のオーダのほぼ目標どおりのC-V特性を示していた。水素、ヘリウムのような不活性ガス、塩素のようなハロゲン化合物の化学的励起は以下の方法に従った。即ち横型の直径5～20cm特に15cm(長さ2m)の石英管に対しその外側に高周波誘導炉をリング状に水冷を可能とした銅管をスパイラル状に巻くことにより実施した。周波数は1～20MHzとした。さらにこの外側に抵抗加熱炉のヒータをこの誘導炉の電磁波に対し直角に

なるように発熱体を配置して行った。高周波炉は30～100kWのものを用いた。この反応管の中に第1図(A)の半導体装置を形成した基板例えばシリコン基板(直径10cm)を5～50枚ボートに林立させる形で装填した。さらにこれを $10^{-2} \text{ mmHg}$ の圧力にまで減圧した。その後水素を導入し、常圧付近にまでもどした。さらに今一度 $10^{-2} \sim 10^{-3} \text{ mmHg}$ にまで真空にし、その後 $10^{-1} \sim 10 \text{ mmHg}$ とした。反応系は絶えず一方より水素、ヘリウムを導入し他方よりロータリーポンプ等により真空引きを連続的に行った。

添加は抵抗加熱炉により基板を300～500℃に加熱し、その後誘導炉を電圧励起させた。電圧励起をさせる場合は、基板での金属膜または金属質の部分のみが局部的に加熱されてしまい、好ましくなかった。このため、反応炉気体の活性化は電圧励起とした。さらに温度が300℃以上であると水素原子、ヘリウム原子は侵入型原子(インターステシアルアトム)のため自由にこの固体中で動きまわることができる。このため十分な平衡

状態の温度にまでこれらの原子を半導体中に添加できた。

この後この温度を室温にまで下げた。この間も反応炉気体の励起を続けていた。即ち、加熱+励起を5～60分特に30分続け、その後室温での励起を5～60分特に15分続けた。加熱温度はアルミニウム等の比較的低い温度で合金化または溶融する材料がある場合は、500℃が上限であったがそれ以外の場合はそれ以上の温度(600～1000℃)であってもよい。しかし一つ大切なことは、水素等は300～500℃の温度で半導体中の原子との結合をはずれH<sub>2</sub>として外に遊離されやすい。このため、高温における誘導キューリングを行う場合の温度を室温にまで下げても誘導キューリングのための電気エネルギーを加え続ける必要がある。さらに反応容器内の圧力はグロー放電その他の高周波誘導励起または誘導キューリングが可能な範囲で高い方が好ましい。

そのため、本発明の効果は $10^{-4} \sim 10^{-6} \text{ mmHg}$ でもその効果が観察されたが、添加量を0.1モル%ま

## 特開昭61-116873(4)

たはそれ以上とするため0.01mmHg以上特に0.1～100mmHgとした。もちろん室温での高周波誘導を行ってもよい。0.001mmHg以下においては単結晶中に存在する低い密度の再結合中心を中和する効果があった。しかしその場合、実験的には約1時間以上のキューリングを必要とした。

この周波数はマイクロ波であってもよい。特に周波数が50～1000MHzであった場合は反応管内の圧力が常圧であってもその効果は著しくあり、好ましかった。その場合、反応管は導波管とすると好ましい。TEMモードを作る時、導波管の大きさは必然的に決められてしまうため、電子レンジのようにマイクロ波をキューリング用オープン内に輻射して実施すると好ましい。誘導キューリングを行っている間、反応管の圧力を昇圧または降圧してもよい。高温では外気と半導体中の気相-固相での平衡状態が大きく、半導体中に多量に添加材を添加できる。このため高温にした状態で誘導キューリングをしつつ急冷することは徐冷に比べて効果が大きかった。例えば900℃より室温に急

冷すると徐冷に比べて3～10倍の速度に添加できた。反応性気体は水素のみでもよい。しかし水素は不対結合手と結合するが、ヘリウムは中途半端な不対結合手をたたいて互いの結合を促進するため、実際には最初ヘリウムで励起し、その後水素で行うのが好ましい。またネオンは励起状態での準安定状態がヘリウムの100～10<sup>4</sup>倍あり、キューリング効果が大きかった。即ち、Heでのキューリングを5～15分、0.1～100mmHg特に10mmHgで行い、その後5～15分0.01～10mmHg特に0.1mmHgで水素中でのキューリングを行った。また、実用的には水素100%または水素中に5～30%ヘリウムまたはネオンを混入させて励起ガスとした。

本発明方法を第1図のような半導体装置に実施したが、かかる励起ガスの添加量の検定は半導体にかかる気体を混入し、その基板を真空中で加熱し、かかる気体を放出させてその量を定量化するいわゆるガスクロマトグラフまたはオーグエの分光法により定量化した。その場合、励起ガスは0.1モル%特に1～20モル%添加されていることが判

明した。もちろん20モル%以上30～200モル%を加えることはさらに好ましい。しかし一般には飽和傾向が見られた。

第1図(B)はSOS(シリコン-オン-サファイア)の実施例である。アルミナ、サファイア、スピネル等の基板(1)上の半導体を0.02～2μmの厚さにエピタキシャル成長せしめ、さらにソース(5)、ドレイン(6)、埋置したフィールド絶縁物(3)、半導体ダイレクトコンタクト(7)、セルファラインゲイト電極(11)、ゲイト絶縁膜(12)、CVDSiO<sub>2</sub>膜(10)の実施例である。

これらの半導体デバイスを完成またはほとんど完成させた後励起処理を行うならば、この不完全層(9)はその再結合中心が1/100～1/10000とその密度が減少し、これまで知られている単結晶と同様にとり扱うことができるようになった。この励起処理は半導体基板とゲイト絶縁膜との間に存在する界面単位またはゲイト絶縁物中に存在する不対結合手を中和する効果が著しくあり、MIS-FETの作製法の向上にきわめて好ましい方法であ

った。

第2図は他の本発明の実施例である。

この第2図は、一つのMIS-FETの上側または上方面に対して第2のMIS-FETを設け、これまでより2～4倍の高密度の集積回路(LSI、VLSI)を製造しようとしたものである。

以下に図面に従って説明する。

第2図(A)は半導体基板(1)上に酸化珪素のような絶縁膜(2)を0.1～2μmの厚さで形成した。この場合、基板は半導体である必要は必ずしもない。その後の熱処理実用上の熱伝導、加工等の条件を満たせば絶縁物であってもよい。ここでは多結晶シリコンを用いた。絶縁膜(7)は基板(1)を酸化して形成した。

さらにこの上面にCVD法を用いて半導体シリコン膜を0.1～2μmの厚さで形成した。P型でその不純物濃度は10<sup>18</sup>～10<sup>19</sup>cm<sup>-3</sup>であって、この半導体膜を酸化珪素、酸化珪素の二重膜をマスクとした選択酸化法によりフィールド絶縁物(3)を半導体層(1)に埋置して形成した。この際このフィー

## 特開昭61-116873(5)

ルド絶縁物(3)と半導体層とは概略同一平面になるようにフィールド膜をエッチしてもよく、また酸化前に半導体層の一部を除去しておいてもよい。

さらにゲイト絶縁膜(12)を100～1000Åの厚さに形成した。このゲイト絶縁膜は半導体層の酸化による熱酸化膜であっても、また酸化物とリンガラス、アルミナ、窒化珪素との二重構造であっても、またこのゲイト絶縁物中にクラスタまたは膜を半導体または金属で形成する不揮発性メモリとしてもよい。この後この上面に第2の半導体層を0.1～2μの厚さに形成し、選択的に除去した。この図面ではそのひとつはゲイト電極(11)、他は第2のMIS-FETのソース(25)、ドレイン(24)、チャネル領域(29)とした。ゲイト電極(11)をマスクとして、第1のMIS-FETのソース(5)、ドレイン(6)をイオン注入法により形成した。さらに図面より明らかなようにゲイト電極(11)は明示されていないフィールド絶縁物(3)上を経て第2のMIS-FETのソース(25)に連結されている。

第2のMIS-FETは、第3の半導体層(21)を形成

の上面が平坦面であると、この上側に作る第3のMIS-FETに対し微細加工が可能である。この後、この上面に非単結晶半導体を0.2～2μの厚さに形成した。この不純物濃度は $10^{14} \sim 10^{16} \text{ cm}^{-3}$ でP型とし、チャネル領域(29)が動作状態で十分チャネルとして働くことを条件とさせた。さらにフォトマスクにより非単結晶の抵抗(37)をこの第3のMIS-FETのソースに連結し、リード(38)につなげた。ドレイン(27)はキャパシタの下側電極(34)に連結した。この上面のゲイト絶縁膜はキャパシタの誘電体であり、かつ第3のMIS-FETのゲイト絶縁物である。この上面にゲイト電極(21)およびキャパシタの上側電極(36)を形成した。この実施例ではこれらはアルミニウム金属を用いた。

第3のMIS-FETの基板電極は基板バイアスが印加されるように第1のMIS-FETのゲイト電極に連結されており、ゲイト電極(11)は実質的にふたつのMIS-FETのチャネル状態を制御できるようにしてある。もちろんこのチャネル領域(29)とその下側に位置しているゲイト電極(11)との間にゲイト

した後、ゲイト電極(21)とその下のゲイト絶縁物(22)とによりイオン注入法を利用してソース(24)、ドレイン(38)を作製した。この図面は第1のMIS-FETの斜め上方に第2のMIS-FETを設けたものである。しかしこのMIS-FETの配置、大きさおよびそれぞれの配線は設計の自由考に従ってなされるものである。さらに、第2図(B)に示すような抵抗、キャパシタを同時に同一基板に作り、また保護ダイオード等のダイオードを作ってもよい。

第2図(B)は単結晶半導体基板(1)に対し選択酸化によりフィールド絶縁物(3)を0.5～2μの厚さに形成している。加えて半導体等のゲイト電極(11)、(11')を設け、ソース(4)、ドレイン(31)、ドレイン(5)を $10^{17} \sim 10^{19} \text{ cm}^{-3}$ の濃度にボロンまたはリンを注入させてPチャネルまたはNチャネルMIS-FETを形成させたものである。不純物領域(31)は一方のMIS-FETのドレインであり、他方のMIS-FETのソースとして作用させたインバータの実施例である。さらに、この上面にオーバーコート用絶縁膜(40)を0.5～2μの厚さに形成して、こ

絶縁物が形成されるならば、第3のMIS-FETは下側と上側にゲイト電極を有するダブルゲイトMIS-FETとなる。もちろん上側のゲイト電極を除去してもよい。即ち、ひとつのゲイト電極(11)でふたつのMIS-FETを制御したり、またふたつのゲイトでひとつのMIS-FETを制御したことが本発明の特徴である。加えて、同一基板にリードのみではなく、MIS-FETのようなアクティブエレメントまたは抵抗、キャパシタさらにダイオードを設けることもできる。加えてこれら多数のエレメントを集積化するならば、第1図に示した一層のみのエレメントの形成に対し、その2～10倍の密度とすることが可能である。

本発明はもちろんこの第2図(A)、(B)においてすでに第1図の説明の詳記したように、誘導キューアをこれらのデバイスを完成させたり、または大部分完成させた後行うことにより単結晶半導体での再結合中心を除去することのみならず、多結晶またはアモルファス構造の半導体または半導体と絶縁物との界面に存在する界面単位を不活性

